

Data processing system and semiconductor memory suited for the same

Patent Number: ☐ [US5576997](#)
Publication date: 1996-11-19
Inventor(s): NAKAJIMA KAZUNORI (JP); MAEJIMA HIDEO (JP); MASUDA NOBORU (JP)
Applicant(s):: HITACHI LTD (JP)
Requested Patent: ☐ [JP7084863](#)
Application Number: US19940309418 19940920
Priority Number(s): JP19930232831 19930920
IPC Classification: G11C13/00
EC Classification: [G11C5/06H](#), [G11C7/10P](#)
Equivalents:

Abstract

A data processing system having a logic LSI, a plurality of memory LSIs and a circuit which eliminates delays in the time at which data read out from the memory LSIs reach the logic LSI. The circuit includes variable delay circuits for delaying the data signals read out of the memory LSIs. A control circuit start monitors the time when the data read out of the individual memory LSIs arrive at flip-flops which output the data to the logic LSI. The delay times in the variable delay circuits are controlled by the control circuit for the individual memory LSIs so that the times the data read out from the memory LSIs reach the logic LSI may coincide with a predetermined standard time. Thus, the read data from the individual memory LSIs are caused to reach the flip-flops simultaneously.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-84863

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl.⁵

G 0 6 F 12/00

識別記号

5 6 4 C 9366-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数24 O L (全 21 頁)

(21)出願番号 特願平5-232831

(22)出願日 平成5年(1993)9月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 益田 昇

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 中島 和則

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

島 英雄

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

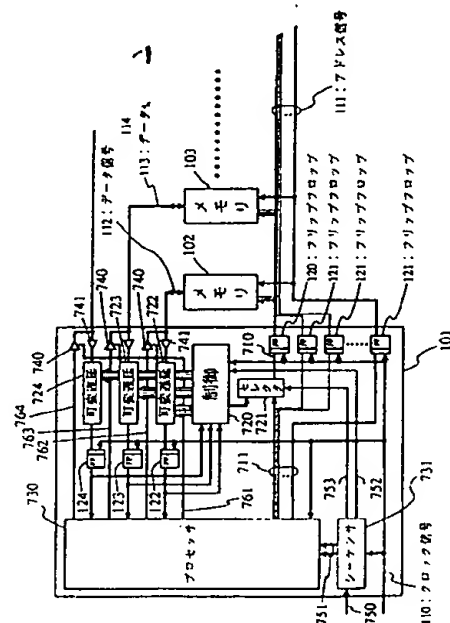
小川 勝男

(54)【発明の名称】 情報処理装置およびそれに関

(57)【要約】

【目的】 複数のメモリLSIとつなぐ信号線の遅延時間の相違が無視できない様な周期で動作する論理LSIから、短い周期でメモリLSIを連続アクセス可能にする。

【構成】 メモリLSI102~104から読み出されたデータ信号を遅延させるために可変遅延回路722~724を設け、制御回路720で、各メモリLSIからの読み出しデータがフリップフロップ124~126に到着する時刻を監視し、その時刻が予め定めた基準時間に一致するように、可変遅延回路での遅延時間を各メモリLSI毎に制御する。これにより各メモリLSIからの読み出しデータがフリップフロップ124~126に同時に到着させる。その結果、周期の短い読み出しクロックで連続してメモリLSIをアクセスしても、メモリLSIと論理LSIとの間の距離による遅延の影響をなくせる。



【特許請求の範囲】

【請求項1】プロセッサと、

複数のメモリと、該プロセッサから供給されるアドレスを該複数のメモリに転送するためのアドレスバスと、それぞれ該複数のメモリの一つに対応して設けられ、該プロセッサから供給された複数のデータを該複数のメモリに並列に転送し、該複数のメモリから読み出された複数のデータを該プロセッサに並列に転送するための複数のデータバスと、

それぞれ該複数のメモリの一つに対応して設けられ、該複数のメモリから該複数のデータバスに読み出された複数のデータを、遅延して該プロセッサに供給するための、遅延時間を制御可能な複数の転送回路とを有する情報処理装置。

【請求項2】該プロセッサから供給された同一のアドレスに対して該複数のメモリから読み出された複数のデータが、所定の時間差内で該プロセッサに到着するように、該複数の転送回路のそれぞれの遅延時間を決定する制御回路をさらに有する請求項1記載の情報処理装置。

【請求項3】該制御回路は、該プロセッサから供給された同一のアドレスに対して該複数のメモリから読み出された複数のデータに対する該複数の転送回路の出力が変化するタイミングにตอบสนองして、該複数の可変遅延回路の遅延時間を制御する回路を有する請求項2記載の情報処理装置。

【請求項4】該制御回路は、該プロセッサから供給された同一のアドレスに対して該複数のメモリから読み出された複数のデータの各々が、該アドレスが該アドレスバスに送出されてからの所定の経過時間後に該プロセッサに到着するように、該複数の転送回路のそれぞれの遅延時間を制御する回路を有する請求項2記載の情報処理装置。

【請求項5】該制御回路は該複数の転送回路の遅延時間を決定するために、該複数のメモリに読み出しアドレスを供給する手段と、

該供給された読み出しアドレスに対して該複数のメモリから読み出された複数のデータが該複数の転送回路を経由して該プロセッサに到着するタイミングをそれぞれ監視する複数の監視手段と、

該複数の監視手段による監視結果に応じて該複数の転送回路のそれぞれの遅延時間を決定する手段とを有する請求項3記載の情報処理装置。

【請求項6】該遅延時間を決定する手段は、

該複数のデータが該複数の転送回路を経由して該プロセッサに到着すべき基準のタイミングを示す基準信号を発生する手段と、

該監視手段により検出された、該複数のデータの該プロセッサへの到着タイミングと該基準信号が示す基準のタイミングの差に依存して、該複数の転送回路のそれぞれの遅延時間を変更する手段と、

該変更手段による該複数の遅延時間の変更後に、該アドレス供給手段によるアドレスの供給、該監視手段による監視、および該遅延時間の変更手段による遅延時間の変更を繰り返す手段とを有する請求項5記載の情報処理装置。

【請求項7】各監視手段は、遅延時間をカウントアップする信号とカウントダウンする信号を切り替えて出力する回路であり、

各遅延時間の変更手段は、対応する監視手段の出力にตอบสนองするアップダウンカウンタであり、

各転送回路は、対応するアップダウンカウンタの出力に依存して異なる遅延時間をもって、対応するデータバスに読み出されたデータを遅延する可変遅延回路からなる請求項6記載の情報処理装置。

【請求項8】該制御回路は、該基準信号と一定の時間だけずれた早期信号および遅延信号を出力する手段をさらに有し、

各監視手段は、該基準信号、該早期信号、該遅延信号と対応する転送回路を経由していずれかの読み出されたデータが該プロセッサに到着するタイミングとから、該カウントアップ信号またはカウントダウン信号を生成する回路からなる請求項6記載の情報処理装置。

【請求項9】該複数の転送回路と該制御回路は、該プロセッサと同じLSIに含まれている請求項2記載の情報処理装置。

【請求項10】該情報処理装置は、該複数の転送回路の出力を同一の該プロセッサの動作クロックにตอบสนองして取込み、該プロセッサに取り込まれた信号を供給する複数のフリップフロップを更に有し、

各監視手段は、対応する転送回路の出力を取り込むフリップフロップの出力の変化のタイミングを検出して、その転送回路を経由して該プロセッサにデータが到着するタイミングを検出する手段からなる請求項5記載の情報処理装置。

【請求項11】クロック信号に同期して出力されるアドレス信号と、上記アドレス信号に応じてデータ信号を出力する少なくとも1個のメモリLSI等と、上記メモリLSI等が出力するデータ信号を取り込むフリップフロップを備えた情報処理装置において、上記データ信号を遅延させて上記フリップフロップに到達するまでの時間を調整する手段を備えた情報処理装置。

【請求項12】上記調整手段は制御信号によって制御される請求項11の情報処理装置。

【請求項13】上記制御信号を記憶する手段を備えた請求項12の情報処理装置。

【請求項14】上記記憶する手段と上記フリップフロップと上記調整する手段は同一のLSIの中に搭載される請求項13の情報処理装置

【請求項15】上記制御信号を自動的に生成する手段を備えた請求項12～14のいずれか一つの情報処理装

置。

【請求項16】上記生成手段は、上記フリップフロップの出力と所定のタイミングで変化する信号が一致するか否かを判定する手段を備えた請求項15の情報処理装置。

【請求項17】上記生成する手段は、上記アドレス信号のうちの複数のビットを個別に切り換える機能を備えた請求項15～16のいずれか一つの情報処理装置。

【請求項18】上記アドレス信号を出力するタイミングをずらせる手段を備えた請求項11～17のいずれか一つの情報処理装置。

【請求項19】上記フリップフロップがデータ信号を取り込むタイミングをずらせる手段を備えた請求項11～18の情報処理装置。

【請求項20】上記調整手段は、可変遅延回路を備えた請求項11～19のいずれか一つの情報処理装置。

【請求項21】上記調整手段は、上記フリップフロップの他に少なくとも1個の上記データを受ける第2のフリップフロップを備え、上記第1、第2のフリップフロップは互いに異なる位相のクロック信号に同期して上記データをとり込むように構成され、上記第1のフリップフロップが取り込む信号が上記第2のフリップフロップを経由するか否かを選択する手段を備えた請求項11～20の情報処理装置。

【請求項22】出力信号が変化するタイミングを揃えるための手段を備えた半導体記憶装置において、上記半導体記憶装置内にアドレス信号が変化したことを検出する手段と、上記アドレス信号が変化した後所定の時間の経過後に上記揃えるための手段に制御信号を加える手段を備えた半導体記憶装置。

【請求項23】上記制御信号を加える手段が、常に一定の制御信号を出力する状態と所定のタイミングで所定の制御信号を出力する状態とを切り換えるための第2の制御信号を備えた請求項22の半導体記憶装置。

【請求項24】請求項22～23に記載した半導体記憶装置を備えた請求項11～21のいずれか一つの情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、共通のアドレスバスに接続された複数のメモリLSIとそれらをアクセスするプロセッサからなる情報処理装置に関する。

【0002】

【従来の技術】従来の複数のメモリLSIに情報を分散して記憶する情報処理装置の典型では、ビット数の大きなデータを高速に書き込みあるいは読み出し可能なメモリを実現するために、プロセッサからアクセスされるメモリは複数のメモリLSIから構成され、メモリに保持されるべきデータを、複数のビット部分に分割し、それらのビット部分をこれらの複数のメモリLSIの、互い

に同じアドレスに分散して、かつ、並列に記憶し、書き込み済みのデータを読み出すときには、そのデータの異なるビット部分を、これらの複数のメモリLSIから並列に読み出すようになっている。

【0003】すなわち、これらのメモリLSIは、共通のアドレスバスを介してプロセッサに接続され、そこから共通のアドレスが供給される。書き込みデータは、それぞれのメモリLSIに対応してプロセッサ内に設けられたフリップフロップから、それぞれのメモリLSIに対応して設けられたデータバスを介して、書き込むべきデータを構成する異なるビット部分がそれぞれのメモリLSIに供給される。

【0004】データの読み出しにあつては、上記アドレスバスを介して共通の読み出しアドレスがプロセッサから供給され、それらのメモリLSIから、読み出すべきデータの異なるビット部分が並列に読み出され、上記データバスを介して上記複数のフリップフロップに並列に転送され、それらのフリップフロップにプロセッサ内のクロック信号に同期して取り込まれる。プロセッサは、それらの異なるビット部分を一つのデータを構成する情報として使用する。

【0005】このような従来技術（以下、第1の従来技術）では、プロセッサの動作クロックが増大したときに、各メモリLSIとプロセッサとの距離が無視できなくなり、正常にデータの読み出しを行なえなくなると言う問題がある。

【0006】すなわち、プロセッサから最も近い位置にあるメモリLSIと最も遠くにあるメモリLSIでは、アドレス信号がプロセッサからそれらのメモリLSIに到達するのに要する時間およびそれらのメモリLSIから読み出されたデータがプロセッサに到達するまでの時間において異なる。

【0007】このため、ある第1のクロックタイミングで、第1のデータの読み出しのための第1のアドレスがアドレスバスに送出されてから、次の第2のクロックタイミングで、第2のデータの読み出しのための第2のアドレスが送出された場合、最も近くのメモリLSIから読み出された第2のデータの属するあるビット部分が先にプロセッサに到着した後、最も遠くのメモリLSIから読み出された第1のデータ内のあるビット部分が、プロセッサに到着する前に、その最も近くのメモリLSIから読み出された第2のデータの属するあるビット部分がプロセッサに到着することが生じてしまう

【0008】従って、上記複数のフリップフロップに、プロセッサ内で発生されるクロック信号でこれらのメモリLSIからのデータを保持すると、正常なデータとして使用できなくなる。結局、このような問題をなくすためには、プロセッサの動作クロックを低減するか、送出するアドレスを切り替える時間間隔を長くする必要があり、上記第1の従来技術は、より高速な動作に使用でき

ない。

【0009】同様に、プロセッサの動作速度がさほど大きくない場合でも、メモリLSIの数が、増大した場合、同様の問題が生じる。

【0010】このような問題を軽減する試みが、1992年8月発行のヒューレットパッカードジャーナル(Hewlett-Packard Journal)の14頁のFig. 3に紹介されている。

【0011】この第2の従来技術では、先に述べた第1の従来技術と異なり、各メモリLSIから読み出されたデータを上記フリップフロップに取り込むタイミングを、各メモリLSIごとに異ならしめるようにしている。すなわち、遠方メモリLSIに対する遅延時間を近くのメモリLSIに対するそれよりも小さくし、それにより、近くのメモリLSIからの読み出しデータをより遅れたタイミングで取り込むようになっている。

【0012】より具体的には、各メモリLSIに対応して、かつ、そのそばに、クロックを遅延する回路を設け、プロセッサから共通の制御信号用のバスを介してこれらの遅延回路にクロック信号を供給し、それらの遅延回路から遅延されたクロック信号、対応するフリップフロップに、それぞれの遅延回路毎に設けた信号線を介して供給するようになっている。各遅延回路のLSIの遅延時間は、遠方のメモリLSIに対応する遅延時間が、近くのメモリLSIに対する遅延時間より小さくなるようになっている。

【0013】この結果、前述の第1の従来技術の場合よりも、より高速に動作するプロセッサに対して使用可能になっている。

【0014】

【発明が解決しようとする課題】今後プロセッサの動作速度がさらに増大することが予想され、そのような場合でも上記第2の従来技術が使用可能であるかということをも本発明者が検討した結果、この従来技術は、将来のより高速なプロセッサに対して使用することが出来ないことが判明した。

【0015】すなわち、この第2の従来技術では、最も近くのメモリLSIから読み出されたデータの取込みクロックの遅延時間は、他のメモリLSIからのデータの取込みクロックに対する遅延時間より大きくするが、最も近くのメモリLSIから読み出されたデータを毎クロック、対応するフリップフロップに取り込まなければならぬ以上、最も近くのメモリLSIから読み出されたデータの取込みクロックの遅延時間は、プロセッサの動作周期以上の遅延時間には出来ない。

【0016】このため、例えば、ある第1のクロックタイミングで、第1のデータの読み出しのための第1のアドレスがアドレスバスに送出されてから、次の第2のクロックタイミングで、第2のデータの読み出しのための第2のアドレスが送出された場合、最も近くのメモリLSI

SIから読み出された第2のデータの属するあるビット部分を対応するフリップフロップに取り込むタイミングの最後になっても、最も遠いメモリLSIから読み出されたデータが対応するフリップフロップに到着していないことが生じる。

【0017】このため、この第2の従来技術でも、より高速なプロセッサには使用できない。

【0018】本発明の第1の目的は、より短い周期で動作するプロセッサでメモリを使用可能な情報処理装置を提供することにある。

【0019】本発明の第2の目的は、このような情報処理装置に適したメモリを提供することにある。

【0020】

【課題を解決するための手段】本願発明による情報処理装置では、複数のメモリから読み出されたデータ信号をそれぞれのメモリ毎に遅延して、相互に同じタイミングでこれらのデータがプロセッサに到着させる可変遅延回路を、各メモリからプロセッサへのデータ転送路に対して設けた。

【0021】より具体的には、各メモリからの読み出しデータがプロセッサに到着するタイミングを、予め定めた基準のタイミングと比較し、その差がなくなるように、その読み出しデータを遅延する。それにより、複数のメモリからの読み出しデータの到着タイミングを相互に一致するようにする。

【0022】また、本願発明による半導体記憶装置では、出力信号が変化するタイミングを揃えるための手段と、アドレス信号が変化したことを検出する手段と、上記アドレス信号が変化した後所定の時間の経過後に上記揃えるための手段を起動する手段とを有する。

【0023】

【作用】本発明による情報処理装置では、複数のメモリからの読み出しデータの到着タイミングを相互に一致させるので、プロセッサの動作クロックが高速になっても、プロセッサと複数のメモリの間の距離の違いによる検出もれをなくせる。

【0024】

【実施例】

(1) 実施例1

(1a) 装置構成

図1は本発明の一実施例による情報処理装置の構成を示す回路図である。この図において、101は、プロセッサ機能を有する部分(以下、プロセッサ部と呼ぶ)730を含む論理LSI、102～104はこの論理LSIが使用するメモリLSIであり、このうち102は論理LSI101に最も近いもの、104は最も遠いものである。これらのメモリLSIは、プロセッサ部730が使用するデータを3つのビット部分に分割して、このプロセッサ部730から指定されたアドレスの位置に保持するものである。以下では、各メモリLSIの出力を単

にデータ呼ぶことがある。なお、本実施例では、簡単化のために、プロセッサ部730が使用するメモリとして、3つのメモリLSIを図示しているが、本発明はこれに限定されるものではない。

【0025】111は論理LSI101からメモリLSI102~104にアドレス信号を伝えるためのこれらのLSIに共通のアドレスバス、112~114はメモリLSI102~104から読み出されたデータ信号を論理LSI101に伝えるための各メモリLSIごとに設けたデータバスである。740は、各データバスに設けたデータ書き込み用のドライバである。これは、プロセッサ部730からの出力761によりデータ書き込み時にのみオンされるようになっている。741~743は、各データバスに設けた読み出しデータのための入力バッファである。

【0026】722~724はメモリLSI102~104から読み出されたデータを遅延させるための可変遅延回路、122~124は可変遅延回路722~724から与えられるデータを論理LSI101の動作クロック信号に同期して取り込むフリップフロップである。この実施例ではフリップフロップ122~124としてクロック信号の立ち上がりに同期して入力信号が取り込む（いわゆる、エッジトリガ型の）フリップフロップを使用するものとする。これらのフリップフロップの出力はプロセッサ730に送られる。

【0027】720は可変遅延回路722~724の遅延時間を調節するための制御回路である。

【0028】120は、バス111に供給するアドレスの内の特定の1ビットをクロックに同期して供給するためのフリップフロップ、121は、その特定の1ビット以外のアドレスビットをクロックに同期して供給するためのフリップフロップ群である。

【0029】セクタ721は、制御回路から出力される特定のアドレスビットとプロセッサ部730から与えられる特定のアドレスビットを切り替えてこのフリップフロップ120に供給するためのセクタである。

【0030】また、731はシーケンサであって、制御回路720およびプロセッサ730の動作を制御する信号を出力する。

【0031】本実施例では、上記メモリLSI102から104の出力データを、可変遅延回路722~724で遅延して、同じタイミングでフリップフロップ122~124に供給するようになっている。これにより、上記複数のメモリLSIと論理LSIとの間の距離の相違にもかかわらず、これらのメモリLSIからのデータを正常に読み出すことが可能にする。

【0032】可変遅延回路722~724の遅延時間は、制御回路720により自動的に決定するようになっている。

【0033】この際、上記メモリLSIからのデータが

フリップフロップ122~124に到着する時刻が、制御回路720が発生する基準時刻からみて許容範囲内に収まるように、制御回路720が動作する。

【0034】このために、上記制御回路720がこれらのフリップフロップの出力の変化を監視し、その出力が変化するタイミングが、この基準信号のレベルが変化するタイミングとの差をカウントし、その結果でもって、上記遅延時間を決定する。

【0035】さらに、この遅延時間の設定を、メモリLSI内の異なるアドレスに対して行なうようになっている。

【0036】さらに、この遅延時間の決定を、プロセッサ部101の通常の動作の前に自動的に行なう。

【0037】本実施例のその他の特徴は以下の詳細な説明で説明する。

【0038】(1b) 装置動作の概要

電源投入直後等に端子750からリセット信号が入力されると、シーケンサ731は、線751を介してプロセッサ部730に初期データの書き込みを指示する。併せて、セクタ721に供給する制御信号753として、プロセッサ部730の出力を選択させる信号を出力する。

【0039】上記指示を受けて、プロセッサ部730はメモリLSI102~104の全てのある特定の番地に第1の初期データの書き込みを行なう。

【0040】すなわち、プロセッサ部730は、その番地を指定する第1のアドレス信号を線711に送出し、併せて書き込むべき第1の初期データをそれぞれのメモリLSI102~104用に複数のビット部分に分割して、それぞれをメモリLSI102~104用の複数のドライバ740に並列に送出する。併せてドライバ起動信号761をオンとする。これらのビット部分は、バス112~114を介してメモリLSI102~104に送られる。

【0041】第1のアドレス信号の内の特定ビットは、セクタ721により選択され、フリップフロップ710にセットされ、このアドレス信号の内の上記特定にビット以外は、フリップフロップ群121にセットされる。フリップフロップ120、121の保持されたアドレスは、バス111を介してメモリLSI102から104に送られる。

【0042】こうして、メモリLSI102~104のそれぞれに第1のアドレスに初期データが分散して記憶される。なお、なお、本実施例では、プロセッサ部730が出力する書き込み要求を示す信号は簡単化のために図示していない。なお、メモリLSI102~104は、書き込み要求が入力されていないときには、アドレスバス111にて指定されるメモリ位置に対する読み出し動作をするものとする。

【0043】第1の初期データは“000...0”を用

いると仮定する。また、上記第1のアドレスの値はプロセッサ部730により予め決めておく。特に、第1のアドレス信号のうち上記特定ビットの値が初期データの各ビットの値と等しい"0"（この場合を以下では同極性と呼ぶ）かまたはそれと異なる"1"（この場合を以下では逆極性と呼ぶ）かは後述するように、本実施例の装置の動作に関係する。本実施例では、シーケンサ731により、いずれを使用するかを指定するものと仮定する。本実施例では、上記特定ビットとして、初期データの各ビットと同じ値"0"を使用すること、すなわち、同極性を、シーケンサ731がプロセッサ部730に指定すると仮定する。

【0044】次に、こうして第1の初期データの書き込みの終了後に、プロセッサ部730は、上記第1のアドレス信号のうち、上記特定のビットの値を"1"に変更し、その変更後の第2のアドレス位置に、第2の初期データとして"111...1"の書き込みを同様に行なう。

【0045】この第2の初期データの書き込み終了後に、シーケンサ731が線751を介してプロセッサ部730に書き込み停止を指示する。この指示にตอบสนองして、プロセッサ部730は、その時出力していた書き込み要求の送出を停止し、第2のアドレスを出力した状態で待機する。

【0046】シーケンサ731は、さらに、イネーブル信号752を制御回路720に送り、これを起動する。併せて、セクタ721に供給する制御信号753として、制御回路720の出力を選択させる信号を出力する。

【0047】制御回路720は起動されると、アドレス信号の内の上記特定のビットとして値が"0"と"1"の間で変化する信号を出力する。このビットはセクタ721により選択され、フリップフロップ120を介してバス111に送られる。従ってバス111上のアドレスが上記第1のアドレスと第2のアドレスとの間で変化する。

【0048】プロセッサ部730が、書き込み要求の送出を停止した結果、バス111のアドレスが第1のアドレスになった時点で、メモリLSI102~104はそれぞれの中の第1のアドレスの位置から第1の初期データを読み出し、バス112~114に出力する。この結果、これらのバスには第1の初期データ"000...0"が出力される。その後、アドレスバス111のアドレスが第2のアドレスに変化した時点で、メモリLSI102~104はそれぞれ内の第2のアドレスの位置から第2の初期データを読み出す。この結果、バス112~114には、これらのバスには第2の初期データ"111...1"が出力される。

【0049】制御回路が出力する特定のアドレスビットの変化の周期を、論理LSIの動作クロックの周期より

遅い周期としておくと、メモリLSI102~104から読み出されるデータも同じ周期で変化する。この読み出されたデータが信号線112~114を介して可変遅延回路722~724に送られ、その出力がフリップフロップ122~124に取り込まれて、制御回路720に返ってくる。こうしてこれらのフリップフロップの出力が"0"と"1"の間で変化する。但し、それらの出力の変化の時点は、メモリLSI102~104の位置により異なる。

【0050】一方、制御回路720の中では、データが返ってくるタイミングとして期待される所定のタイミングで立ち上がる基準信号を生成しておく。そして、フリップフロップ122~124の出力を基準信号と比較しながら、これらの信号が基準信号と一致するように可変遅延回路722~724の遅延時間を調節する。この調節は、上記第1、第2の初期データの読み出しを繰り返す毎に行なわれるため、充分な時間が経過した後はフリップフロップ122~124の全ての出力が基準信号と同じタイミングで変化するようになる。

【0051】その後、シーケンサ731が制御回路720へのイネーブル信号752の供給を停止する。その結果、制御回路720は、可変遅延回路722~724による遅延時間の更新を停止する。

【0052】シーケンサ731はさらに、プロセッサ部730に線751を介して、初期設定の終了を通知するとともに、セクタ721に対する制御信号753を変更して、プロセッサ部720の出力を選択させる。

【0053】プロセッサ部730は、上記終了通知を受けて通常の動作を開始する。この後は、プロセッサ部720によりメモリLSI102~104がアクセスされることになる。

【0054】以上により、プロセッサ部730がアドレス信号を出力してからデータが返ってくるまでの時間は、どのメモリLSI102~104に対しても全て所定の時間となる。この模様は図2に示すとおりである。この結果、短い周期でプロセッサ部720が複数のメモリ読み出し要求を出力しても、それぞれの要求で要求されたデータをメモリから読み出すことが可能となる。

【0055】具体的な数値を挙げると以下のようになる。図1において、メモリLSI102~104および配線群111~114の部分の遅延時間に関して、アドレス信号が論理LSI101から最も近い所にあるメモリLSI102まで伝達するのに要する時間はほぼ0ns、最も遠い所にあるメモリLSI104まで伝達するのに要する時間は約4ns、データ信号が最も近い所にあるメモリLSI102から論理LSI101まで伝達するのに要する時間はほぼ0ns、最も遠い所にあるメモリLSI104から伝達するのに要する時間は約3ns、メモリLSI102~104に入力されるアドレス信号が変化してから出力されるデータ信号が変化し始め

10

20

30

40

50

11

るまでの時間は約0.5ns以上、確定するまでの時間は約4ns以下であるとする。

【0056】その結果、可変遅延回路722~724の遅延時間の調整が終了した後のタイミング関係は、図2に示すように、メモリLSI102~104から返ってくるデータ信号が変化を始める時刻と確定する時刻は、最も早いものはアドレス信号が変化してから0.5ns後、最も遅いものは11ns後となり、約10.5nsの間データが変化する可能性がある。しかし、図1の実施例では可変遅延回路722~724で調節されるため、フリップフロップ122~124に達する信号が変化を始める時刻と確定する時刻は、それぞれ約10.5および14ns後となり、データが変化する可能性がある時間は約3.5nsに抑えられる。従って、アドレス信号を5ns間隔で切り替えても、5ns間隔で全てのデータを正しく取り込むことができる。

【0057】(1c)制御回路720の詳細図4には制御回路720の構成を示す。

【0058】図において、1000は、遅延時間の初期設定動作時に、アクセスするメモリアドレスの特定のアドレスビット1063を生成し、セクタ721(図1)へ送る回路であり、論理LSI101(図1)の動作クロック信号110を分周する分周回路1001と、その出力をクロック信号110の立上りに同期してで取込み、特定のアドレスビット1063として出力するフリップフロップ1002とからなる。

【0059】本実施例では、この分周回路1001は、クロック110を16分周するものとする。このため、本実施例では、特定のアドレスビット1053は、クロック信号110の8周期ごとに値が0から1に、あるいは、1から0に変化する。この結果、初期設定動作時には、この8周期の間、メモリLSI102から104の、同一のメモリ内位置を繰返しアクセス可能になる。この間に、このメモリ位置に対して、可変遅延回路722~724に設定すべき遅延時間が決定される。さらに、8周期が経過するごとに、他のメモリ内位置をアクセスし、このメモリ位置に対する遅延時間を、先に設定された遅延時間を部分的に修正する形で決定される。なお、本発明は、分周回路1001の分周が16分周に限定はされない。

【0060】1010は、データ信号が変化するタイミングとして期待される時刻に信号が立ち上がる基準信号1062と、基準信号より1クロック分だけ先または後に立ち上がる早期信号1061および遅延信号1063を生成する回路である。

【0061】この信号生成回路1010は、フリップフロップ1003の正規分周出力と反転分周出力の一方を、シーケンサ731(図1)より与えられる選択信号731にตอบสนองして選択するセクタ1003と、ともにクロック信号110にตอบสนองする縦続接続された5つのフ

12

リップフロップ1011~1015によって構成されている。これらのフリップフロップ1011~1015は、セクタ1003により選択された分周出力信号をクロック信号110にตอบสนองしてシフトするシフトレジスタを構成する。基準信号1062、早期信号1061、遅延信号1063は、それぞれ4段目、3段目、5段目のフリップフロップ1013、1014、1015から出力される。従って、早期信号1061は、基準信号1062より1周期前にレベルが変化し、遅延信号1063は、基準信号より1周期遅れてレベルが変化することになる。なお、これらの3つの信号は、ともに、8周期の間レベルが変化しない信号である。

【0062】フリップフロップ1011~1015の数と、基準信号1062を取り出すフリップフロップの位置は、最も遅いメモリLSI104から読み出されたデータが可変遅延回路724(図1)によりほぼ最小の遅延時間だけ遅延された場合に、フリップフロップ124(図1)に到着すると期待される時刻の近傍で、基準信号1062のレベルが変化するように予め決定する。

【0063】なお、基準信号発生回路1010内のセクタ1003により、フリップフロップ1002の正規分周出力と反転分周出力のいずれを選択させるかを制御する制御信号は、シーケンサ731(図1)により与えられる。

【0064】正規分周出力を使用した場合には、基準信号1062等を所定のタイミングでレベル0からレベル1に変化する信号とするが、そうでない場合には、それらの信号をそのタイミングで、逆に変化する信号にすることになる。このような制御が必要な理由は、初期データの書き込みが正極性であるか逆極性であるかにより、検出すべき、フリップフロップ122~124の出力変化のタイミングが、レベル0から1への変化タイミングかあるいはその逆のタイミングであるかに関係するからである。

【0065】プロセッサ部720により書き込まれる第1の初期データの値と、第1のアドレスの特定ビットの値が同極性であるか逆極性とすべきか否かにより、この制御信号が1であるか0であるかがシーケンサ731により決定される。本実施例では、既に述べたように正極性を採用することを仮定したので、この制御信号の値は1と仮定する。

【0066】1030は、メモリLSI102から104の各々に対応して設けられた比較回路であり、上記信号1061から1063と、フリップフロップ122~124の出力1072~1074の内の、対応するメモリLSIからのデータ信号を受信するフリップフロップの出力とを比較し、その比較結果に基づいてアップ信号1082またはダウン信号1092を出力する。

【0067】1040は各比較回路1030の対応して設けられ、その対応する比較回路からアップ信号108

10

30

40

50

2またはダウン信号1092に応答してカウント値が増減するアップダウンカウンタである。各カウンタは、そのカウント値をデコードしてそのカウント値にひとしい数の、値1のビット列を下位側に有する制御信号を生成する回路を内蔵している。この制御信号が可変遅延回路722～724(図1)の一つに対する制御信号として使用する。このデコード回路および制御信号に関しては、後に説明する。

【0068】また、752はシーケンサ731(図1)から送られるカウンタ起動信号であり、この信号がハイレベルの間UP/DOWNカウンタ1040はカウント動作をするが、この信号がローレベルになるとその時のカウント値を維持する。

【0069】(1d)アップダウンカウンタ1040アップダウンカウンタ1040の構成の一例を図7に示す。図に示すように、この回路は、カウントアップ信号1082とカウントダウン信号1092とをクロック信号110に응答して取り込む二つのフリップフロップと、これらのフリップフロップの出力に基づいて計数動作をするゲート群と、計数結果を表す3ビットを保持する3つのフリップフロップと、それらのフリップフロップから出力される2進数表示の計数値の各ビット1350から1352をデコードして、可変遅延回路722(図1)へ送出する制御信号951～957を生成するゲート群からなる。2進カウンタ値1350～1352と制御信号951～957の関係は表1に示す通りである。

【0070】

【表1】

表1

信号線	カウント数							
	0	1	2	3	4	5	6	7
1350	L	H	L	H	L	H	L	H
1351	L	L	H	H	L	L	H	H
1352	L	L	L	L	H	H	H	H
951	L	H	H	H	H	H	H	H
952	(L)	L	H	H	H	H	H	H
953	(L)	(L)	L	H	H	H	H	H
954	(L)	(L)	(L)	L	H	H	H	H
955	(L)	(L)	(L)	(L)	L	H	H	H
956	(L)	(L)	(L)	(L)	(L)	L	H	H
957	(L)	(L)	(L)	(L)	(L)	(L)	L	H

【0071】この回路は、カウントアップ信号1082およびカウントダウン信号1092の両方がローレベルの間は2進カウンタ値1350～1352が表す値は変化しないが、カウントアップ信号1082がハイレベルになると、その2サイクル後に2進カウンタ値1350～1352が表す値が1カウント増える。

【0072】逆にカウントダウン信号1092がハイレベルになるとその2サイクル後には2進カウンタ値1350～1352が表す数値が1カウント減るように構成

されている。

【0073】さらに、表1に示すように、カウント数が“0”、すなわち1350～1352の端子に現われる信号が全てローレベルの時には951～957は全てローレベルとなり、1カウントずつ進む毎に951から順にハイレベルとなり、カウント数が“7”の時に全てがハイレベルとなるように構成されている。

【0074】(1e)可変遅延回路722～724

可変遅延回路722～724は、いずれも同じ構造の回路であり、例えば、当社の出願にかかる特願平4-241723号特許明細書に記載したものその他が使用可能である。その内の一例を使用した可変遅延回路722の詳細を図3に示す。

【0075】図において、900はメモリLSI102(図1)から読み出されたデータ信号を受ける入力バッファ、911～918はこのデータ信号を信号を遅延させるための縦続接続されたゲート回路、901～907はそれぞれ、いずれかのゲート回路の出力と他のセクタの出力の一方を選択するセクタである。ただし、最初のセクタ901は、最初のゲート回路911の出力を選択するセクタの出力と入力バッファ900の出力とのいずれかを選択する。セクタ901～907は、それぞれに対する制御信号951～957の値が0、1の時に、それぞれ図の上側の入力(遅延時間が少ない方の入力)あるいは図の下側の入力(遅延時間が大きい方の入力)を選択するようになっている。

【0076】この遅延回路では、各セクタ901～907の制御信号951～957を変えることにより、入力バッファ900がデータ信号を受けてからセクタ901がその信号を出力するまでの遅延時間を変えることができる。

【0077】すなわち、全てのセクタ901～907が図の下側の信号を選択している(すなわち、制御信号が1111111)ときに遅延時間は最も大きく、セクタ907から901まで順に図の上側を選択するごとに、遅延時間は短くなる。そして、セクタ901が図の上側の信号を選択した時(すなわち制御信号が0000000)に最短遅延時間となる。

【0078】(1f)制御回路720の動作の詳細

40 プロセッサ部730からメモリLSI102～104に書き込んだ第1の初期データと書き込み用の第1のアドレスとが同極性である場合について、図5を使って図4の回路の動作を説明する。なお、図5は可変遅延回路722～724の遅延時間が調整される前のタイミング関係を示した図であり、例として可変遅延回路722～724の遅延時間が最小になるように設定されている場合について示してある。

【0079】分周器1001が例えば16分周の分周器であるとする、110の配線を通して加えられるクロック信号は16分周され、フリップフロップ1002か

15

ら出力される信号は図5に示すように8クロック毎に変化する。この信号が配線1053を通して図1セクタ721に加えられ、フリップフロップ120によってクロック信号に同期されて図5に示すようなアドレス信号として出力される。一方、フリップフロップ1002から出力される信号を1011~1015のシフトレジスタによって3~5クロック分遅延させ、図5に示すような早期信号、基準信号、遅延信号を生成しておく。

【0080】図2の場合と同様、メモリLSI102から返ってくるデータはアドレス信号が変化してから約0.5~4.0ns後に変化する。メモリLSI104から返ってくる信号は約7.5~11.0ns後に変化する。そして、可変遅延回路722~724の遅延時間が、最初は例えば最小になるように設定されていたとすると、フリップフロップ122の出力は2サイクル目、フリップフロップ124の出力は3または4サイクル目に変化する。

【0081】これらの波形が比較回路1030において、基準信号や早期信号および遅延信号と比較される。比較回路1030は、例えばフリップフロップ122の出力が早期信号と一致し基準信号と一致しない時(図5の3サイクル目)にはアップ信号を出力し、UP/DOWNカウンタのカウンタ値を1カウント分だけ増加させる。

【0082】逆に遅延信号と一致し基準信号と一致しない時(図5には現われないが、122の出力が3サイクル以上遅くなると4サイクル目に現われる)にはダウン信号を出力し、UP/DOWNカウンタのカウンタ値を1カウント分だけ減少させる。その他の時、すなわちフリップフロップ122の出力が基準信号と一致する時(図5の0.1サイクル目、および、4サイクル目以降)や、いずれの信号とも一致しない時(図5の2サイクル目)にはアップ信号もダウン信号も出力しない。

【0083】従って、可変遅延回路722を制御する信号は、フリップフロップ122の出力が基準信号より早い時には1ステップずつ大きくなり、遅い時には1ステップずつ小さくなる。従って、調整を開始してから十分な時間(クロック信号の周期、分周器1001の分周比、カウンタ1040の最大カウンタ値、の3つを掛け算した時間)が経過した後は、フリップフロップ122の出力が変化するタイミングは必ず基準信号のそれと一致するようになる。フリップフロップ123~124についても同様である。

【0084】以上、最初にプロセッサ部730からメモリLSI102~104に書き込んだデータがアドレス信号と同極性である場合について説明したが、逆極性である場合についてはセクタ1003の制御信号を反転させることにより同様の動作を行なうことが出来る。

【0085】(2)実施例2

プロセッサ部730が通常の情報処理の動作を開始する

16

前に、同極性および逆極性の両方について上記の調整を行なうようにすることも可能である、このためには、シーケンサ731が、同極性に初期データと書き込みアドレスによる上記初期設定の終了後に、プロセッサ部730に逆極性の初期設定を指示し、プロセッサ部730でそれにしたがって逆極性用の初期設定をさせればよい。シーケンサ731は、制御回路720内の基準信号発生回路1010のセクタ1003に供給する制御信号を、正極性の初期設定のときに"1"にし、その設定が終了ごとに、逆極性の初期設定を開始するときに、"0"にすればよい。

【0086】(3)実施例3

以上の調整をメモリLSI102~104の中の全てのアドレスに対して、かつ、記憶内容"0"および"1"の両方に対して引続き行なうことも可能である。これを行なえば、どのアドレスから読み出しても必ず所望のタイミングでデータ信号が取り込まれるようになる。

【0087】なお、メモリLSIの中のどのアドレスに対するアクセスが速いか遅いかは、あらかじめ予測できる場合が多い。すなわち、通常のメモリLSIは、図6に示すように情報を記憶するメモリセルが縦横に並べられたメモリセルマトリクス1200内に互いに直交するワード線とデータ線が多数敷設され、それぞれにワードドライバ1201またはセンスアンプ1202が接続された構造になっている。この中で、ワードドライバ1201やセンスアンプ1202に近い位置1210にあるメモリセルに対するアクセスは速く、遠い位置1220にあるメモリセルに対するアクセスは遅くなる。

【0088】従って、必ずしも全てのアドレスに対して上記の調整を行なわなくても、ワードドライバやセンスアンプに近い位置1210付近にあるいくつかのメモリセルに対応するアドレスと、遠い位置1220付近にあるいくつかのメモリセルに対応するアドレスに対して行なえば充分である。また、"0"の読み出しと"1"の読み出しのいずれが速いか予めわかる場合には、近い位置1210付近にあるメモリセルに対しては速い方のみ、遠い位置1220付近にあるメモリセルに対しては遅い方のみ行なえば充分である。

【0089】(4)実施例4

図8は、制御回路720の他の実施例を部分的に示した回路図であり、アドレス信号の内のいくつかのビットを切り替えながら調整できるようにした構成を示す。

【0090】図6を用いて前述したように、メモリLSIの中のどのビットを読み出すかによってデータ信号が返ってくるまでの遅延時間が異なるが、アドレス信号の内のどのビットを切り替えるかによっても異なる。従って、アドレス信号の内のいくつかのビットを切り替え、どのビットを切り替えた時にもデータ信号が正しく取り込まれるように調整しておくのが望ましい。

【0091】図8において、1451~1454および

10

20

30

40

50

17

1461~1464は論理LSI101に搭載されるプロセッサ等またはシーケンサ等から供給される信号を伝達する信号線であり、1451~1454はアドレス信号の内のどのビットに対するアクセス時間を調整するのかを識別するための制御信号、1461~1464は稼働状態においてメモリLSI102~104をアクセスするためのアドレス信号の一部もしくは全部を伝達する信号線である。また、制御回路720内には図8に示した部分の他にフリップフロップ1012~1014、フリップフロップ1022~1024、アップダウンカウンタ1040、アップダウンカウンタを制御する信号を生成する回路1030が図4と同じように存在する。

【0092】図8の回路の動作は図10の回路の動作とはほぼ同じであり、1451~1454の内のいずれか1本もしくは複数のハイレベルにするとアドレス信号の内のそれに対応するビットにクロック信号を分周した波形が現われ、所定のタイミングでデータ信号が取り込まれるように可変遅延回路の制御が行なわれる。また、稼働時には1451~1454を全てローレベルにすることによって1050の信号線がローレベルとなり、可変遅延回路の遅延時間は固定される。

【0093】(5) 実施例5

図9は、全体の構成について他の実施例を示した回路図である。図9の構成は図1の構成とはほぼ同じであるが、各メモリLSI102~104から論理LSI101に返ってくるデータ信号のビット数が複数である点異なる。図9の実施例の場合、可変遅延回路722~724は各ビット毎に設けることになる。ただし、制御信号は各ビット毎に設けることもできるが、同じメモリLSIから出力されるデータ信号を受ける可変遅延回路は同じ制御信号で制御することも可能である。

【0094】すなわち、同じメモリLSIから出力されるデータ信号は、対応するアドレス信号の伝播時間が同じであり、また、同じLSIの中の半導体素子の遅延時間ばらつきは異なるLSI同士と比べて小さいと考えられるため、各メモリLSI毎にデータ信号の経路112~114の伝播時間を合わせておけば、フリップフロップ120よりアドレス信号が送出されてから可変遅延回路722~724にデータ信号が到達するまでの時間は、各メモリLSI毎にはほぼ等しくなる。従って、各メモリLSI毎に1ビットずつデータ信号を選んでフリップフロップ122~124に取り込まれるタイミングを調整すれば、同じ制御信号を他の可変遅延回路722~724にも供給することによって全てのデータ信号が所定のタイミングでフリップフロップ122~124に取り込まれることになる。

【0095】(6) 実施例6

図2より明らかなように、メモリLSIの出力が変化する可能性のある時間の幅が短縮すると、確定するまでの

18

時間が同じであってもデータ読み出しの時間間隔は小さくすることができる。図10は、この時間の幅を短縮することを目的としたメモリLSIの構成方法について、一実施例を示した回路図である。

【0096】図10において、1601はアドレス信号用の入力バッファ、1602はそれ以外のライトイネイブルやチップセレクト等の制御信号用の入力バッファ、1604はデータ信号用の出力バッファ、1603はデータ信号を出力するタイミングを制御するためのフリップフロップ、1600は通常のメモリ動作をするメモリ部である。また、1610はアドレス信号が変化したことを検出する回路、1630はアドレス信号が変化してから所定の時間の後にフリップフロップ1603がデータを取り込むための信号を供給する回路である。

【0097】図10の回路の動作の一例を図11に示す。この場合には、フリップフロップ1603は1630の回路からハイレベルの信号が供給されている間はデータの入力端子に入った信号がそのまま出力されるタイプ（いわゆる、レベルセンス型）とする。

【0098】図10の回路において、入力バッファ1601から出力されるアドレス信号が立ち上がるとその少し後に図11に示すようにインバータ回路1612の出力が立ち下がりインバータ回路1615から短いパルスが出力される。逆に入力バッファ1601から出力されるアドレス信号が立ち下がるとその少し後にインバータ回路1612の出力が立ち上がりNOR回路1613から短いパルスが出力される。ここで、複数の1610の回路のいずれかの出力に短いパルス波形が出力されるとNOR回路1620は逆極性のパルスを出力し、1630の回路に伝えられる。

【0099】1630の回路の中は、NOR回路1620から送られてくるパルスが遅延回路1631によって所定の時間だけ遅らされた後にNAND回路1635の出力をハイレベルにし、遅延回路1632によって更に他の所定の時間だけ遅らされた後にNAND回路1635の出力をローレベルに戻すように構成されている。これにより、メモリ部1600から出力されるデータが早く変化を始めても、遅延回路1631によって設定された所定の時間が経過するまでフリップフロップ1603からは出力されない。

【0100】また、メモリ部1600から出力されるデータ信号が確定するまでにNAND回路1635の出力がハイレベルになるように遅延回路1631の遅延時間を設定しておけば、図10の構成を使用したことによるアクセス時間の増大はフリップフロップ回路1603の1段の遅延時間分のみで済む。

【0101】また、遅延素子1632の遅延時間は、メモリ部1600から出力されるデータ信号が確定しフリップフロップ1603に取り込まれた後にNAND回路1635の出力がローレベルになるように設定しておけ

10

20

30

40

50

ばよい。

【0102】これら2つの遅延素子1631、1632の遅延時間を、メモリ部1600から出力される信号の確定する直前にNAND回路1635の出力が立ち上がり直後に立ち下がるように設定しておけば、このメモリLSIの出力が変化する場合の時間は短くなり、従って短い時間間隔でデータを読み出すことができる。

【0103】なお、図10の1650の信号線は、フリップフロップ1603をスルー状態にしてこのメモリLSIを普通のメモリLSIと同じように動作させるための制御信号を加えるためのものである。この信号は、普通のメモリLSI用のテスト装置を使ってこのメモリLSIをテストしたい場合に有用である。

【0104】(7) 実施例7

図12は、図10の回路の別の動作の一例を示した図である。図12の場合は、フリップフロップ1603にはエッジトリガ型のフリップフロップを使用する。また、図12の場合には遅延素子1631の遅延時間は図11の場合より若干長く設定する。すなわち、フリップフロップ1603がエッジトリガ型であるため、NAND回路1635の出力はメモリ部1600から出力される信号が確定した後に立ち上がるように設定しなければならない。このため、図11の場合に比べてアクセス時間は若干長くなるが、データ出力が変化する場合の時間の幅は更に短くすることができる。

【0105】(8) 実施例8

図13は図10と同じ目的のメモリLSIの構成を示した回路図であり、一般に出力ラッチ付きメモリと呼ばれるものである。この回路は、フリップフロップ1603が信号を取り込むタイミングは1950の信号線を経由して外部から供給されるクロック信号によって決まるように構成されている。このメモリLSIは、出力される信号が変化する場合のクロック信号のみによって決まるという利点があるが、アドレス信号の2倍の周波数である高速のクロック信号をメモリLSIに供給しなければならない点が短所である。

【0106】(9) 実施例9

図14は図1の他の実施例を示す回路図である。図10や図13に示したようなデータが変化する場合の時間の幅が小さいメモリLSIを使えば、図1の他に図14のような構成も可能である。図14の構成では、図1の可変遅延回路722～724の代わりに同期化回路2022～2024を使用し、これに伴って制御回路720の構成も若干変える。

【0107】同期化回路2022の構成の一実施例を図15に示す。図15において2100は入力バッファ、2101～2103はセクタ、2110と2111はフリップフロップ、2130は逆相のクロック信号を生成するためのインバータ回路である。また、この図におけるフリップフロップはすべてエッジトリガ型とする。

【0108】この回路は、メモリLSIから返ってくるデータ信号が遅い場合にはセクタ2101が図の上側の入力を選択し、入力バッファ2100で受けた信号を直接フリップフロップ122に inputs。ところが、メモリLSIから返ってくるデータ信号がクロック信号の周期の約半分に相当する時間だけ早くなると、このままでは1サイクル前のクロックでフリップフロップ122に取り込まれる恐れが生じるため、セクタ2101が図の下側、セクタ2102が図の上側の信号を選択し、フリップフロップ2110によって約半周期遅らせた信号がフリップフロップ122に加えられる。これより確実に所望のタイミングで取り込まれるようにすることができる。

【0109】また、この状態から更に約半周期分早くなり元の状態からほぼ1周期分早くなった時には、フリップフロップ2111によって1周期遅らせた信号、更に半周期分早くなった時にはフリップフロップ2110と2111とにより1周期半遅らせた信号をフリップフロップ122に加えることにより、いずれの場合にも所望のタイミングで取り込まれるようにすることができる。図14および図15の回路を使った場合の動作波形を図15に示す。ただし、論理LSI101の外の部分の遅延時間は、図2の場合と同じとする。

【0110】図16に示すように、最も遅いメモリLSI104から返ってくるデータ信号が変化し始めるのは図2の場合より遅くなるが確定する時刻は図2の場合とほぼ同じになり、従って図2とはほぼ同じタイミングで立ち上がる遅延回路710の出力に同期してフリップフロップ124に取り込むことができる。一方、最も近いメモリLSI102から返ってくるデータ信号はクロック信号の約1周期半に相当する時間だけ前に変化を始めて確定する。従って、遅延回路710の出力の立ち下がりに同期してフリップフロップ2110に取り込み、更にその出力を立ち上がりに同期してフリップフロップ2111に取り込んだ後にフリップフロップ122に加えることにより、フリップフロップ124と同じタイミングで取り込むことができる。

【0111】(10) 実施例10

図17は、更に調整可能範囲を拡げた同期化回路の構成を示す回路図である。この回路は、図15の同期化回路のセクタ2103とフリップフロップ2111の間に、セクタ2104、2105、フリップフロップ2112、2113、バッファ回路2120が構成する回路を追加したものであり、セクタ2104と2105の制御信号を切り替えることにより、クロック信号の2周期分に相当する時間だけ調整範囲が広がる。また、更に広げたい場合にはフリップフロップ2113とセクタ2105の間に同じ回路を追加することにより、フリップフロップ間のゲート段数を増やすことなく広げることができる。

21

【0112】図17等の同期化回路も図4や図8に示した制御回路720で制御できるが、ただしアップダウンカウンタ1040の出力する制御信号2151～2155の変化の仕方を表2に示すように少し変えなければならぬ。

【0113】

【表2】

表2

信号線	カウント数							
	0	1	2	3	4	5	6	7
1350	L	H	L	H	L	H	L	H
1351	L	L	H	H	L	L	H	H
1352	L	L	L	L	H	H	H	H
2151	L	H	H	H	H	H	H	H
2152	(L)	L	H	H	H	H	H	H
2153	(L)	(H)	L	H	L	H	L	H
2154	(L)	(L)	L	L	H	H	H	H
2155	(L)	(L)	(L)	(L)	L	L	H	H

【0114】このような制御信号を出力するアップダウンカウンタの構成の一例を図18に示す。図18の回路は、1082、1092の信号線から加えられる制御信号に応じて110の信号線から加えられるクロック信号をカウントアップまたはカウントダウンし、その結果が1350～1352の信号線に現われる信号によって2進数表示されるまでは図7のアップダウンカウンタと同じであるが、2151～2155に現われる制御信号は表2に示すようになる。

【0115】(11) 実施例11

図19、図20はそれぞれ他の実施例の構成の一部を示す回路図であり、図19は図1または図9の実施例に、図20は図14の実施例に、それぞれセクタ2501と2502および遅延回路2511と2512を付加したものである。これらの実施例は、信号線2551や2552に加える制御信号を切り替えることによってフリップフロップ群120またはフリップフロップ122～124や同期化回路2022～2024に加えるクロック信号の位相を少しだけ遅らせ得ようになっている。

【0116】この回路は、可変遅延回路722～724の遅延時間や同期化回路2022～2024のセクタの状態を設定するための初期設定の時には、フリップフロップ群120に加えるクロック信号のみを遅らせた状態、および、フリップフロップ122～124や同期化回路2022～2024に加えるクロック信号のみを遅らせた状態の両方に対して初期設定の動作を行なわせる。そして、稼働状態の時は2551および2552の信号線にはセクタ2501および2502が遅延回路2511や2512を経由しない経路を選択するような制御信号を加える。

【0117】これにより、初期設定の時には図2や図16の110のクロックの波形が少し右にずれた状態と7

22

10の出力が少し右にずれた状態の両方において調整が行なわれ、多少のズレが生じて正常なタイミングで取り込まれるようになる。その後、稼働時にはいずれのズレも無い状態で使われることになるため、稼働時にはより安定した状態で使うことができる。

【0118】(12) 実施例12

図1、図9、図14、図19、図20の各実施例の説明では、メモリLSI102～104が複数個あることを前提とし、各メモリLSIからデータ信号が返ってくるまでの時間のバラツキを補正して全てのメモリLSIから返ってくるデータ信号を同時に取り込むことを目的としてきたが、上記の各実施例はメモリLSIが1個しか無い場合にも効果がある。

【0119】すなわち、LSI等の遅延時間には製造バラツキがあるため、クロック信号の周期が短くなると論理LSI101に接続されたメモリLSIが1個しか無くても、データ信号が返ってくるまでの時間が設計時に予定した時間よりずれて所定のサイクルのクロック信号で取り込まれないことも起こり得る。このような場合に本発明を適用すると、可変遅延回路722または同期化回路2022等に遅延時間の製造バラツキ等を補正させて所定のタイミングで取り込まれようにすることができる。

【0120】

【発明の効果】以上述べたように、本発明によればメモリLSIからのデータ読み出しの時間間隔を短縮することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図。

【図2】図1の実施例の動作を示すタイミングチャート。

【図3】図1等の実施例に使う可変遅延回路の構成を示す回路図。

【図4】図1の実施例に使う制御回路の一実施例を示す回路図。

【図5】図4の制御回路の動作を示すタイミングチャート。

【図6】一般的なメモリLSIの構成を示す構成図。

【図7】図4の制御回路に使うアップダウンカウンタの一実施例を示す回路図。

【図8】図1の実施例に使う制御回路の他の実施例を示す回路図。

【図9】本発明の他の実施例を示す回路図。

【図10】本発明のメモリLSIの一実施例を示す回路図。

【図11】図10のメモリLSIの動作を示すタイミングチャート。

【図12】図10のメモリLSIの他の条件における動作を示すタイミングチャート。

【図13】一般的な出力ラッチ付きメモリLSIの構成

10

20

30

40

50

を示す回路図。

【図14】本発明の他の実施例を示す回路図。

【図15】図14等の実施例に使う同期化回路の一実施例を示す回路図。

【図16】図14の実施例の動作を示すタイミングチャート。

【図17】図14の実施例に使う同期化回路の他の実施例を示す回路図。

【図18】図4の制御回路に使うアップダウンカウンタの他の実施例を示す回路図。

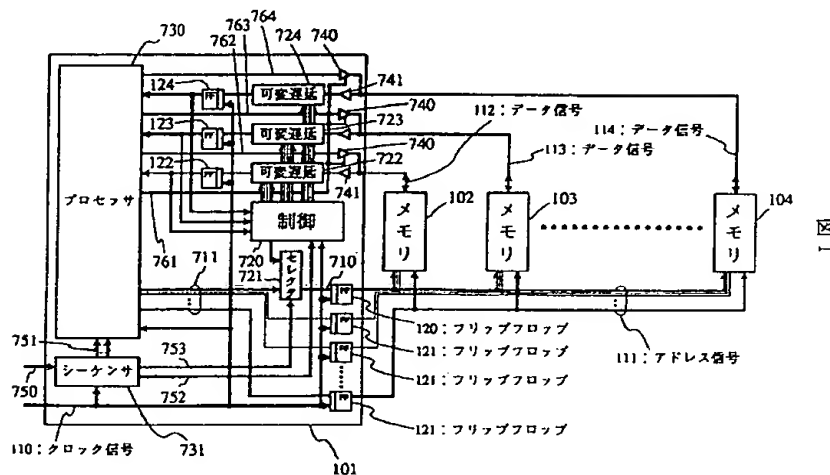
【図19】本発明の他の実施例を示す回路図。

【図20】本発明の他の実施例を示す回路図。

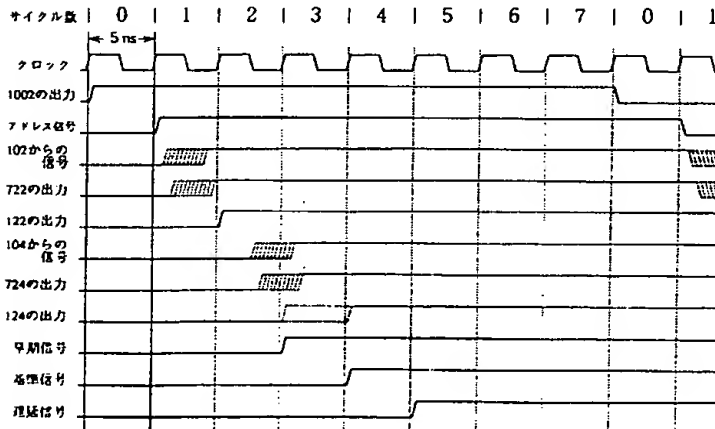
【符号の説明】

101……論理LSI, 102～104……メモリLSI, 110……クロック信号を伝達する信号線, 111……アドレス信号を伝達する信号線, 112～114……データ信号を伝達する信号線, 120……アドレス信号を出力するフリップフロップ群, 122～124……データ信号を取り込むフリップフロップ, 720……制御回路, 722～724……可変遅延回路, 2022～2024……同期化回路。

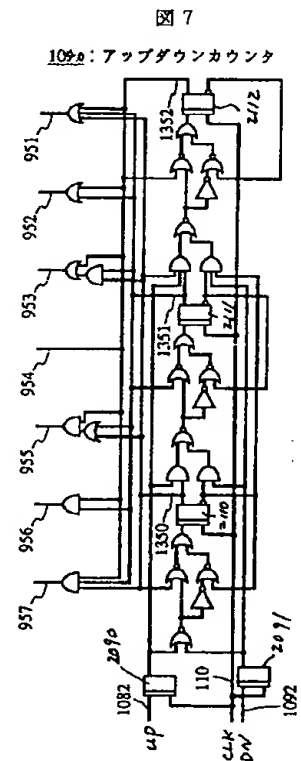
【図1】



【図5】

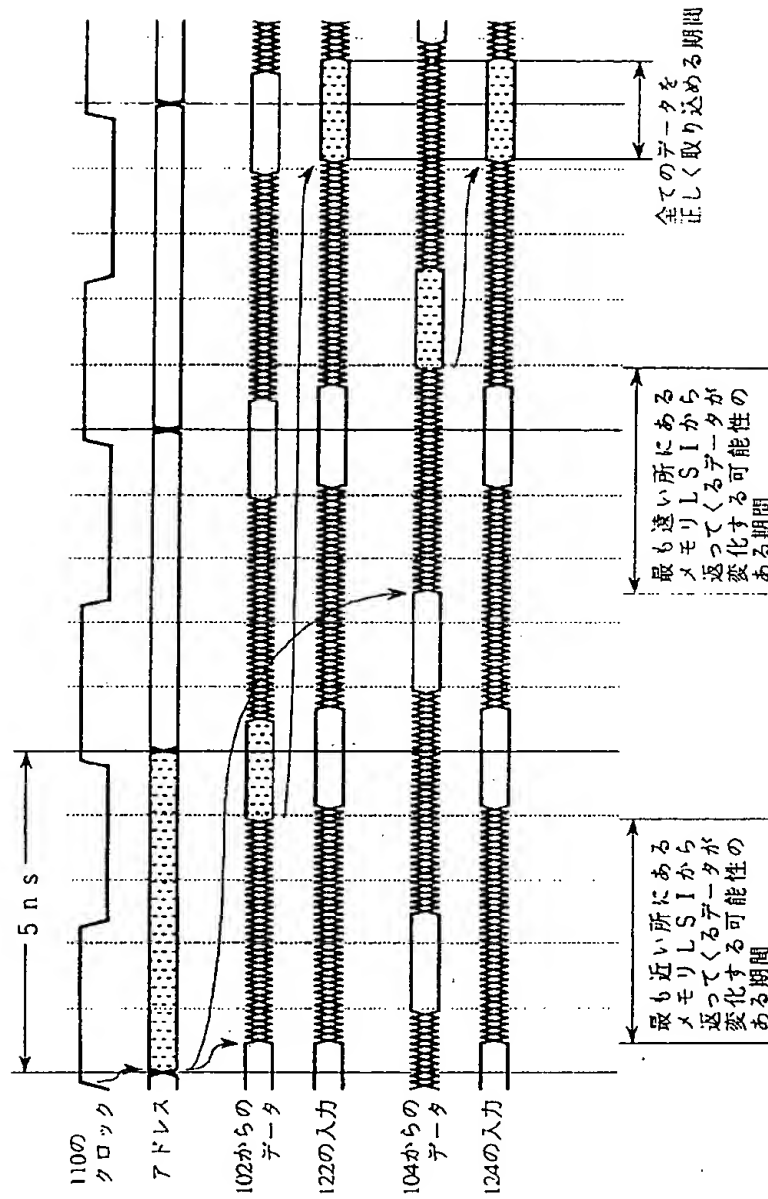


【図7】

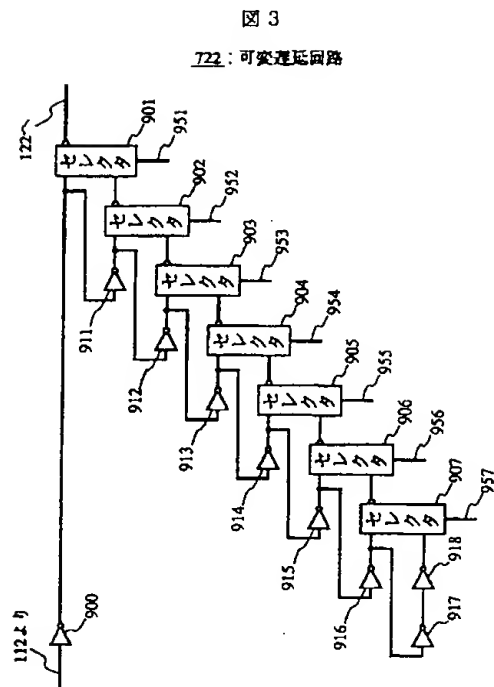


【図2】

図 2



【図3】



【図6】

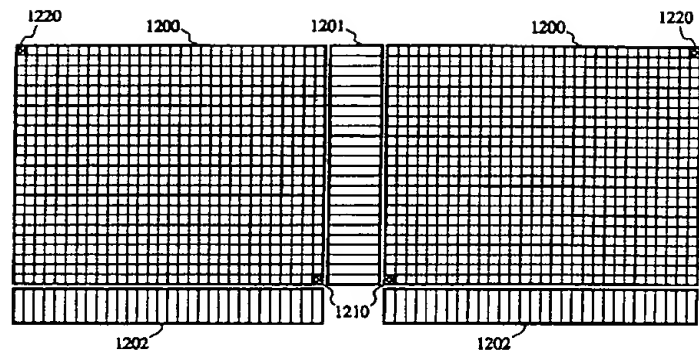
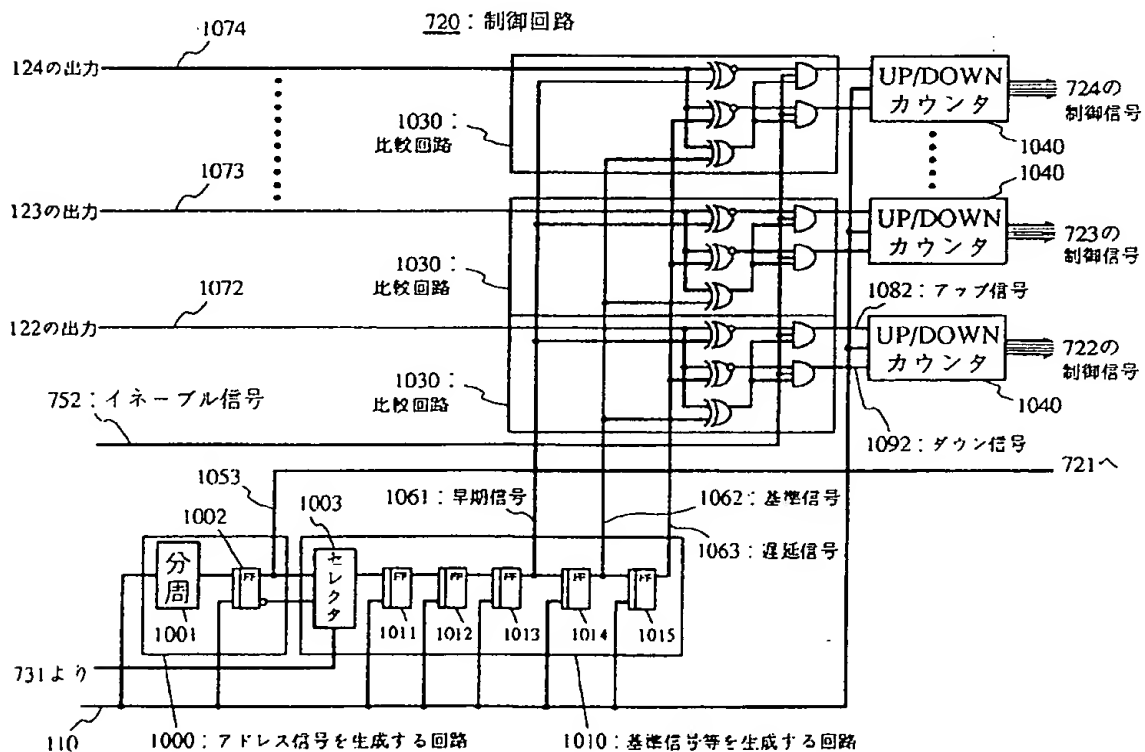
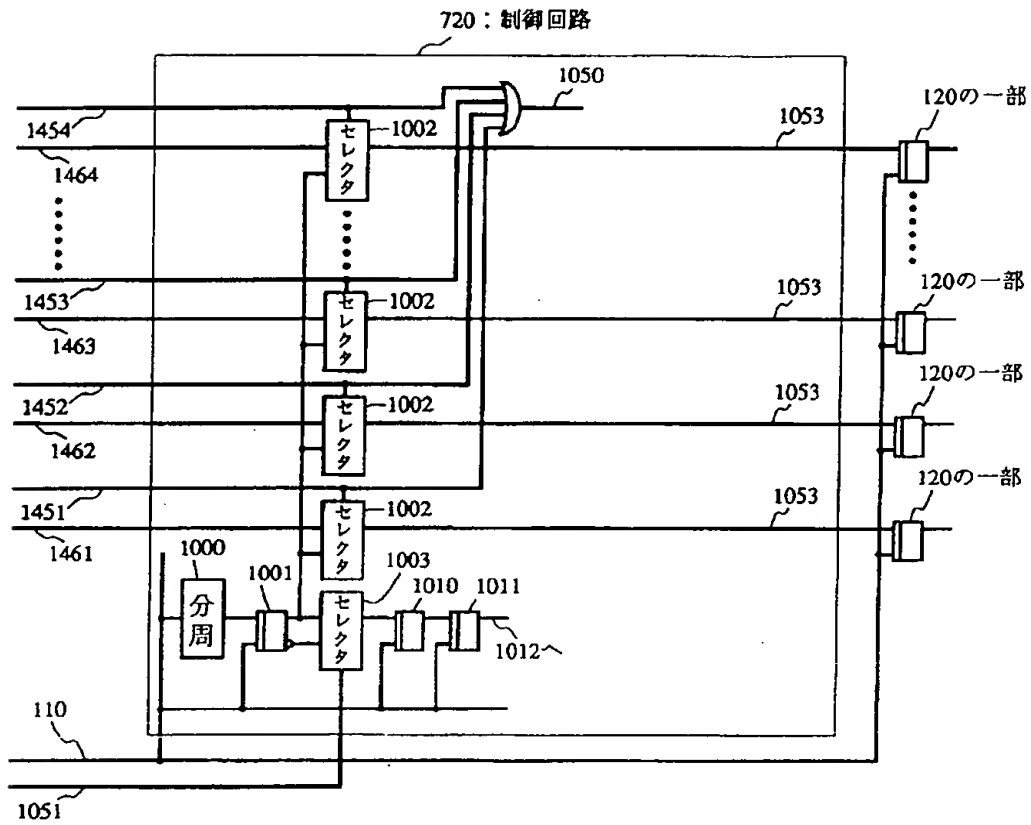


図5

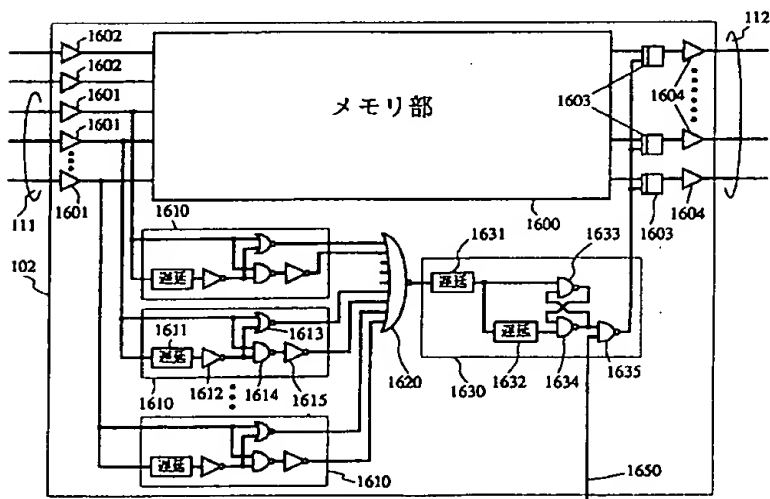
【図4】



【図 8】



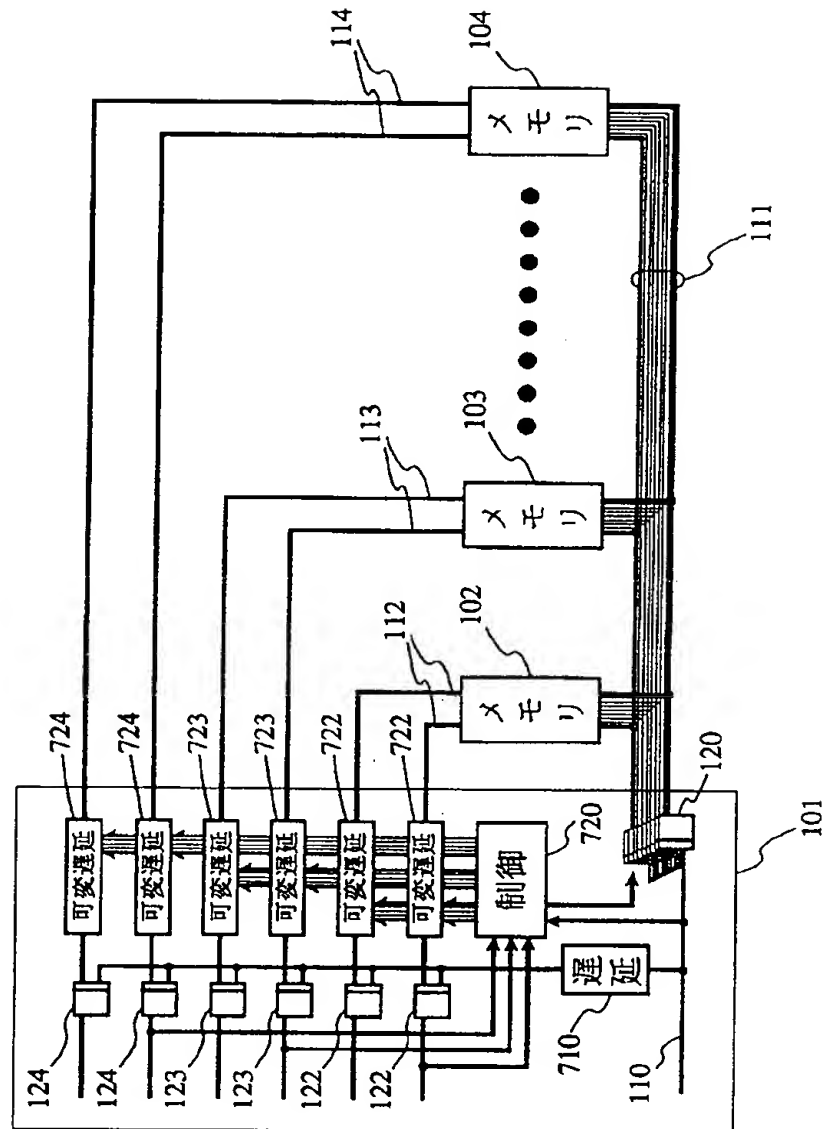
【図 10】



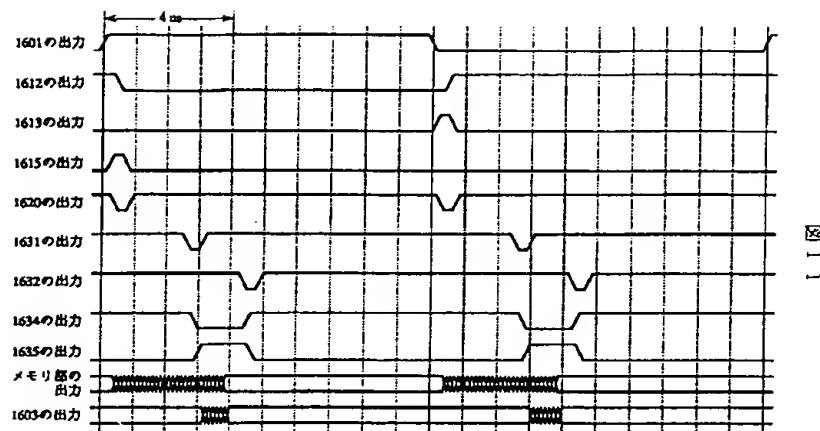
0 1 図

【図 9】

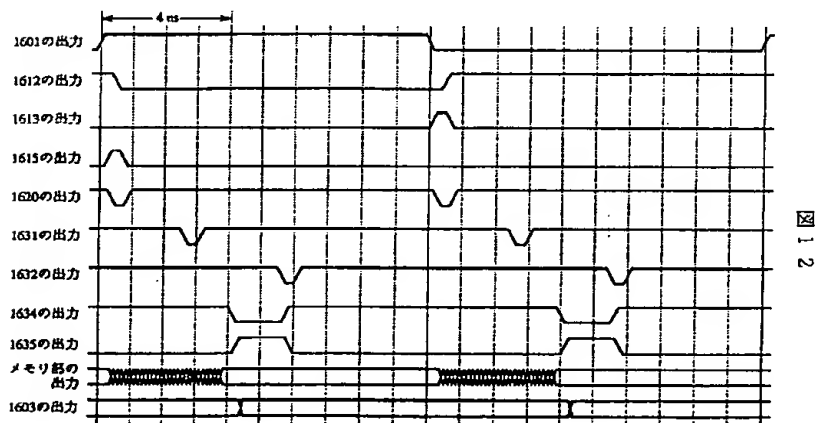
図 9



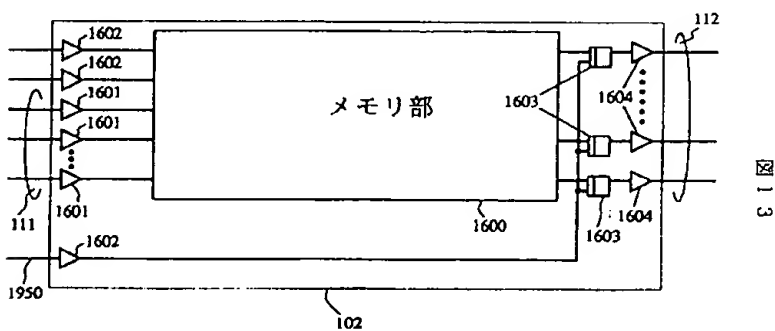
【図11】



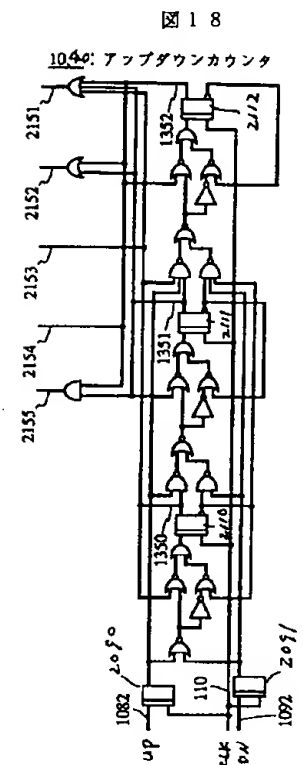
【図12】



【図13】

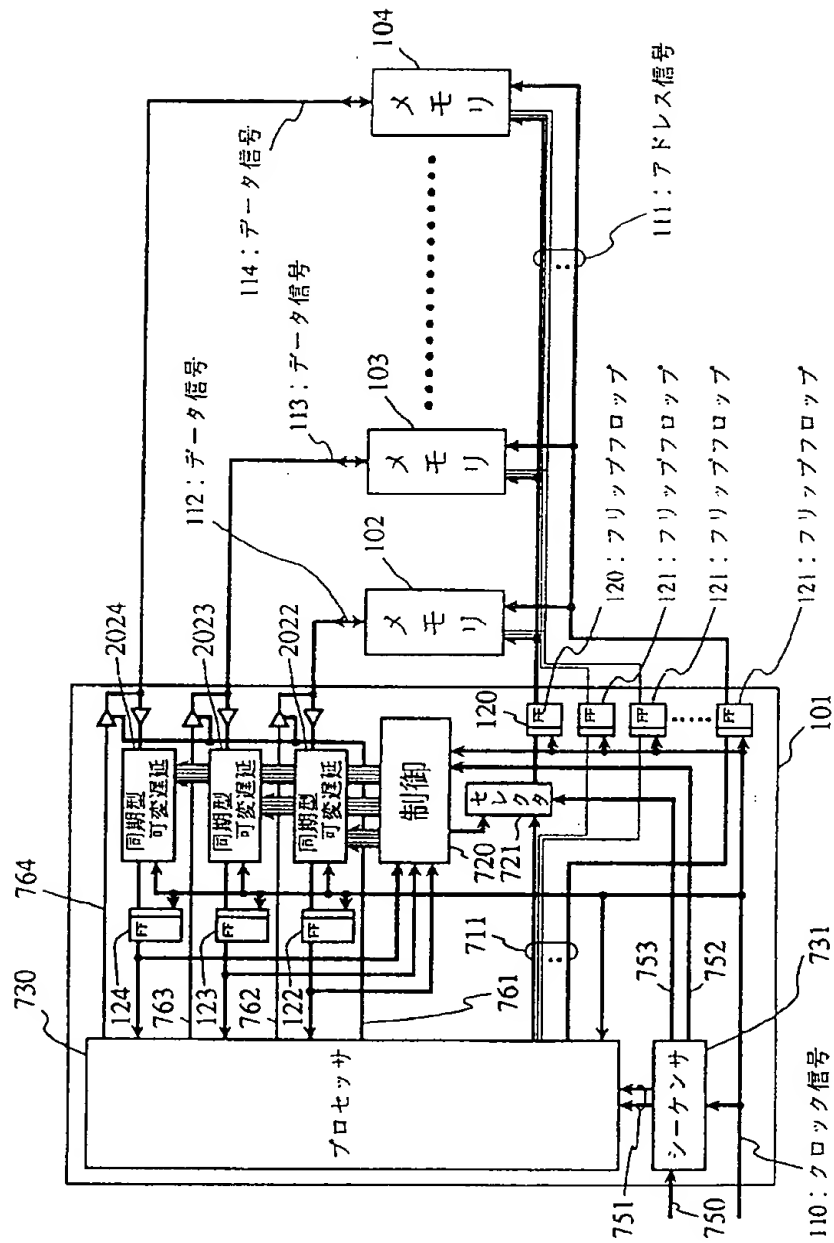


【図18】



【図14】

図 1 4



【図15】

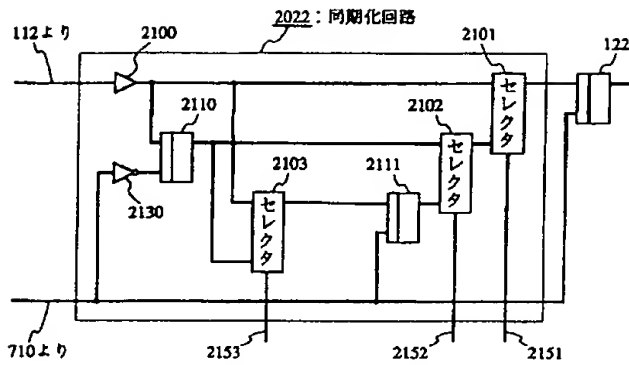


図15

【図17】

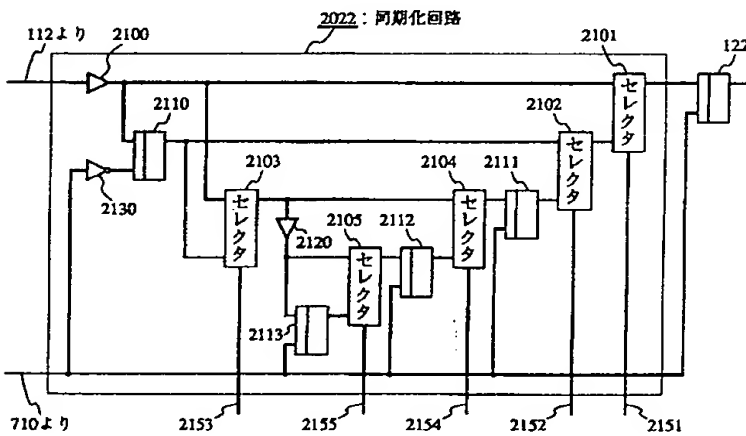


図17

【図19】

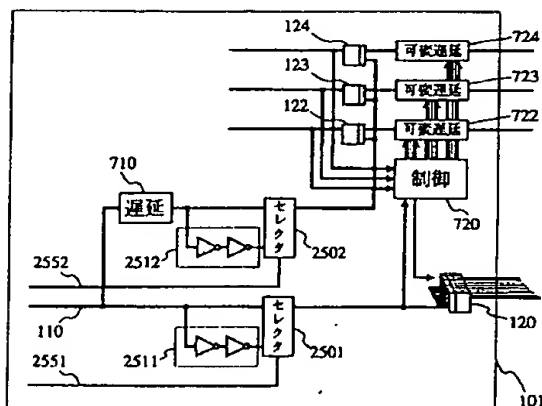


図19

【図20】

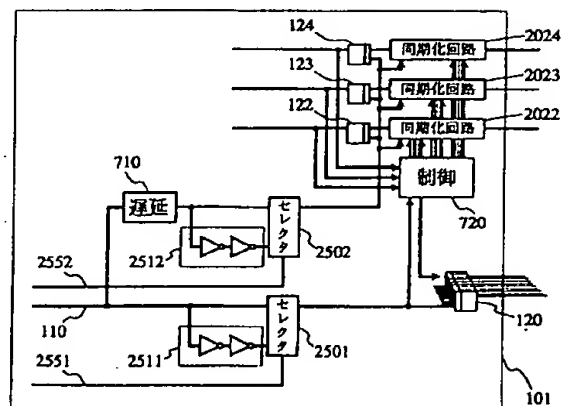


図20

【図16】

図 16

